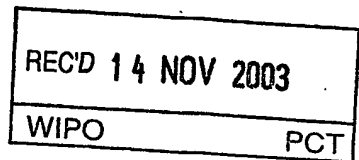


# BUNDESREPUBLIK DEUTSCHLAND

PCT EP03/08081

## PRIORITY DOCUMENT

SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)



### Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:** 102 38 172.0  
**Anmeldetag:** 21. August 2002  
**Anmelder/Inhaber:** PACT XPP Technologies AG,  
München/DE  
**Bezeichnung:** Verfahren und Vorrichtung zur Datenverarbeitung  
**Priorität:** 07.08.2002 DE 102 36 269.6  
**IPC:** G 06 F 15/173

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 04. September 2003  
Deutsches Patent- und Markenamt  
Der Präsident  
Im Auftrag

CERTIFIED COPY OF  
PRIORITY DOCUMENT

BEST AVAILABLE COPY



Deutsche Patentanmeldung

Anmelder: PACT XPP Technologies AG  
Muthmannstraße 1  
5 D-80939 München

Vertreter: Patentanwalt  
Claus Peter Pietruk  
Heinrich-Lilienfein-Weg 5  
10 D-76229 Karlsruhe  
Vertreter-Nr. 321 605

Titel: Verfahren und Vorrichtung zur Datenverarbeitung

15 Beschreibung

Die Erfindung betrifft das oberbegrifflich Beanspruchte und  
20 befaßt sich somit mit Vorrichtungen und Verfahren zur Verbesserung des Transfers von Daten innerhalb von mehrdimensionalen Anordnungen von Sendern und Empfängern.

Es sind bereits multidimensionale Felder aus datenverarbeitenden Zellen bekannt. Zur Gattung dieser Bausteine zählen  
25 insbesondere systolische Arrays, neuronale Netze, Mehrprozessor Systeme, Prozessoren mit mehreren Rechenwerken und/oder logischen Zellen und/oder kommunikativen/peripheren Zellen (IO), Vernetzungs- und Netzwerkbausteine wie z.B. Crossbar-  
30 Schalter, ebenso wie bekannte Bausteine der Gattung FPGA, DPGA, Chameleon, XPUTER, etc.. Es sind insbesondere Bausteine bekannt, bei denen erste Zellen während der Laufzeit ohne

Störung des Betriebes weiterer Zellen umkonfigurierbar sind, vgl. etwa die folgenden Schutzrechte und Anmeldungen desselben Anmelders: P 44 16 881.0-53, DE 197 81 412.3, DE 197 81 483.2, DE 196 54 846.2-53, DE 196 54 593.5-53,

5 DE 197 04 044.6-53, DE 198 80 129.7, DE 198 61 088.2-53, DE 199 80 312.9, PCT/DE 00/01869, DE 100 36 627.9-33, DE 100 28 397.7, DE 101 10 530.4, DE 101 11 014.6, PCT/EP 00/10516, EP 01 102 674.7. Diese sind hiermit zu Offenbarungszwecken vollumfänglich eingegliedert. Hingewiesen  
10 wird weiter auf die Chameleon-Systems-Prozessor-Architektur. Die Brauchbarkeit der letztgenannten Konstruktion zu Datenverarbeitungszwecken ist jedoch eher vergleichbar mit einer Anordnung gemäß DE 101 03 624 A1.

15 Die Zellen können nun unterschiedlichen Funktionen ausführen, etwa Bool'sche Verknüpfungen von Eingangs-Operanden bewirken,

Zwischen ihnen verlaufen Verbindungen, die gleichfalls einstellbar sind, typisch etwa Busse, die auf verschiedene Weise  
20 eine Vernetzung bewirken können und so ein in seiner Vernetzung einstellbares multidimensionales Feld aufbauen. Über die Busse oder anderen Leitungen tauschen die Zellen miteinander wie erforderlich Informationen aust, etwa Statussignale, Trigger oder die zu verarbeitenden Daten. Typisch sind dabei  
25 in einem zweidimensionalen Prozessorfeld etwa die Zellen Reihen- und spaltenweise angeordnet, wobei die Ausgänge von Zellen einer ersten Reihe auf Busse geführt, an die zugleich die Eingänge der Zellen der nächsten Reihe zu koppeln sind. Bei einer bekannten Anordnung (Pact XPP) sind zudem Vorwärts- und  
30 Rückwärtsregister vorgesehen, um Daten unter Umgehung von Zellen auf Bussysteme anderer Reihen zu leiten, ein Balancing von parallel auszuführenden Zweigen zu erreichen, usw. Es ist

auch schon vorgeschlagen worden, derartige Vor- und/oder Rückwärtsregister mit einer über den reinen Datentransfer hinausgehenden Funktionalität zu versehen.

- 5 Um eine bestimmte Art der Datenverarbeitung durchzuführen, muß jeder Zelle eine bestimmte Funktion zugewiesen werden und es ist eine geeignete Vernetzung vorzusehen. Es muß dazu, bevor das multidimensionale Prozessorfeld Daten wie gewünscht verarbeitet, festgelegt werden, welche Zelle welche Funktion
- 10 ausführen soll, es ist für jede an einer Datenverarbeitungsaufgabe beteiligten Zelle eine Funktion festzulegen und es muß die Vernetzung bestimmt werden. Dabei ist es wünschenswert, die Funktion und Vernetzung so zu wählen, daß die Datenverarbeitung möglichst zügig erfolgen kann. Oftmals ist es jedoch
- 15 nicht möglich, eine Konfiguration zu finden, die den gewünschten Datentransfer in optimaler Weise gewährleistet. Es müssen dann suboptimale Konfigurationen verwendet werden.

Wünschenswert ist es, eine Möglichkeit zu schaffen, die Konfigurierbarkeit zu erleichtern.

20

Die Aufgabe der vorliegenden Erfindung besteht darin, Neues für die gewerbliche Anwendung bereitzustellen.

- 25 Die Lösung der Aufgabe wird unabhängig beansprucht. Bevorzugte Ausführungsformen befinden sich in den Unteransprüchen.

Es wird damit zunächst vorgeschlagen, daß bei einem multidimensionalen Prozessorfeld aufweisend

30 eine Vielzahl benachbart angeordneter Datenverarbeitungszellen mit Eingängen, die Daten von Vernetzungswegen erhalten, einer Operanden-Verknüpfungseinheit, die diese entsprechend

der jeweiligen Funktion ihrer Operanden-Verknüpfungseinheit verknüpfen und Ausgängen, um die Daten verknüpft auf Vernetzungswege aufzugeben, vorgesehen ist, daß die Datenverarbeitungszellen ein Aspektverhältnis aufweisen, das wenigstens  
5 1,5:1, bevorzugt 2:1 beträgt.

Damit wird eine wesentliche Verbesserung der Verknüpfbarkeit erreicht, ohne daß teure Siliziumfläche für zusätzliche Busverbindungen bereitgestellt werden muß oder eine besonders  
10 komplexe Topologie gewählt werden muß. Die Verbesserungen der Verbindbarkeit ergeben sich vielmehr allein daraus, daß der Datentransfer quer zu den Zellen verkürzt wird und damit Daten innerhalb kürzerer Zeiten, bezogen auf die zum durchströmen bzw. Verarbeiten in der Zelle erforderlichen Zeiten  
15 selbst, von Zelle zu Zelle gelangen. Damit wächst die Anzahl der noch als nächste Nachbarn zu bezeichnenden Zellen, die also noch innerhalb eines Taktes zu erreichen sind. Es ergibt sich etwa bei zweidimensionalen Feldern eine Anordnung, bei der eine Zelle funktional mehr nächste Nachbarn besitzt, als  
20 sich topologisch bei reiner Geometriebetrachtung im zweidimensionalen Fall ergibt. Mit andern Worten ergibt sich nur durch die Veränderung des Aspektverhältnisses funktional eine mehr als zweidimensionale Konnektivität.

25 Bei den Zellen wird es sich insbesondere um PAE-Zellen mit EALU handeln, wie sie per se aus dem vorzitierten Stand der Technik bekannt sind. Bei solchen Zellen wird es sich wie bevorzugt um grobgranular konfigurierbare Zellen handeln.

30 Es ist möglich und bevorzugt, wenn die Datenverarbeitungszellen in Reihen und Spalten angeordnet sind. Dies erlaubt eine besonders günstige Auslegung der Zellen, die typisch nahe-

rungsweise trapezförmig bzw. rechteckig sind. Es kann dann vorgesehen sein, daß zumindest bei einem Teil der Datenverarbeitungszellen Dateneingänge vorgesehen sind, um von einer oberen Reihe Daten zu erhalten und Datenausgänge, um an eine untere Reihe Daten auszugeben. In einem solchen Fall ergibt sich die verbesserte Konnektivität in beiden Reihen.

Typisch wird es sich um ein Prozessorfeld handeln, bei dem die Datenverarbeitungseinheiten EALUs, ALU und/oder registerflankierte Zellen sind, d.h. es werden zur Verbindung unterschiedlicher Reihen typisch neben den datenverarbeitenden und dabei Daten verzögerungsfrei, d.h. etwa schnellstmöglich weiterleitenden Zellen noch Register vorhanden sein, die gerade dazu dienen, Daten bei der Weiterleitung zu verzögern, sei es, um unkontrollierte Rückkopplungsschleifen zu verhindern bzw. unterbrechen (Prinzip der sog. **Annihilated Feedback Loop Termination**- sog. AFTER-Zellen) oder bei datenaufspaltendem Durchlaufen von Zweigen und nachfolgendem Wiedervereinigen einen zeitlichen Gleichlauf zu erzwingen (Balancing).

Mit einem solchen Prozessorfeld ist es nun möglich, eine Konfiguration derart zu wählen, daß, wenn Zellen für die Konfiguration ausgewählt und in Funktion und Vernetzung bestimmt werden, wobei eine Vernetzung derart bestimmt wird, daß Daten von Zelle zu Zelle zumindest weitgehend verzögerungsfrei übertragbar sind, vorgesehen ist, daß als benachbarte Zellen, zwischen denen Daten binnen eines Taktes oder einer geringen Taktzahl übertragbar sind, auch solche berücksichtigt werden, die nicht unmittelbar nebeneinander liegen, sondern in der Breite durch eine Strecke getrennt sind, die geringer ist als die Länge der Zelle.

Es sei darauf hingewiesen, daß das angegebene minimale Aspektverhältnis das wenigstens 1,5:1 beträgt, bevorzugt noch größere Werte annimmt und sich bei sorgfältiger Auslegung der Einheiten durchaus im Bereich zwischen 5:1 und 10:1 bewegen kann.

Die Erfindung wird im folgenden anhand der Zeichnung beschrieben, worin gezeigt ist durch

Fig. 1 ein Prozessorfeld der vorliegenden Erfindung

Nach Fig. 1 umfaßt ein allgemein mit 1 bezeichnetes Prozessorfeld 1 eine Vielzahl benachbart angeordneter Datenverarbeitungszellen 2 mit Eingängen 3, die Daten von Vernetzungswegen 4 erhalten, einer Operanden-Verknüpfungseinheit 5, die diese entsprechend der jeweiligen Funktion ihrer Operanden-Verknüpfungseinheit 5 verknüpfen und Ausgängen 6, um die Daten verknüpft auf Vernetzungswege 4 aufzugeben, wobei die Datenverarbeitungszellen bzw. ihre datendurchflossene Operanden-Verknüpfungseinheit 5 ein Aspektverhältnis von Länge zu Breite aufweisen, das größer ist als 2:1 beträgt.

Bei dem Prozessorfeld 1 handelt es sich vorliegend um eine per se als XPP bekannte Anordnung; alternativ kann es als ein Array aus zur Laufzeit partiell rekonfigurierbaren Elementen angeordnet sein können, etwa als Prozessor, Koprozessor, DSP, usw.. Das Prozessorfeld ist im dargestellten Fall aus 3 Reihen und 4 Spalten aufgebaut, aber nur aus Gründen der Übersichtlichkeit so vergleichsweise klein gewählt. Typisch wird es größer ausgelegt werden.

Die Datenverarbeitungszellen 2 sind grobgranular konfigurierbar und weisen feingranulare Statemachines auf. Sie sind auf per se bekannte Weise rekonfigurierbar, ohne den Betrieb zu stören. Auf die hier realisierte, aber nicht näher zu erläuternde Möglichkeit der zentralen Konfigurationsvorgabe etwa durch einen Konfigurationsmanager, der Waverekonfiguration etc. sei hingewiesen. Die Zellen enthalten als Operanden-Verknüpfungseinheit 5 eine ALU-Einheit, in der arithmetische Operationen wie Addition, Multiplikation, Subtraktion und Division an bis zu drei eingehenden Operanden durchgeführt werden können, sowie Verknüpfungen wie ISTgrößer? ISTkleiner? ISTNull? sowie XOR, OR, AND NAND etc. Die ALU-Einheit ist mittig angeordnet und flankiert von einem Vorwärts- und einem Rückwärtsregister, die in per se bekannter Weise über die Anschlüsse der Datenverarbeitungszelle 2 gleichfalls mit den Vernetzungswegen 4 verbunden werden können.

Die Datenein- und ausgänge 3 bzw 6 sind über Multiplexer mit den Verbindungswegen 4 verbunden. Es ist im vorliegenden Fall ein Bussystem mit einer Vielzahl von Leitungen vorgesehen, um die Zellen in den Reihen und Spalten konfigurierbar miteinander zu vernetzen.

Das Aspektverhältnis der ALU-Einheit beträgt nun im dargestellten Beispiel 6:1, d.h. die Zelle ist sehr viel länger als breit.

Die Anordnung wird nun verwendet wie folgt:

Es wird zunächst ein Programm zur Ausführung auf dem Array 1 ausgewählt. Dann wird mit per se bekannten Mitteln eine Konfiguration bestimmt, die einen optimalen Daten-Durchsatz er-



laubt. Hierbei wird nun berücksichtigt, daß Daten auch an Zellen, die nicht unmittelbar in der Reihe darunter oder seitlich neben einer gegebenen Zelle liegen, sondern z.B. drei Spalten seitlich versetzt sind, innerhalb eines Verar-  
5 beitungstaktes Daten erhalten können, ohne daß größere Verzögerungen auftreten. Die unter Berücksichtigung dieser erweiterten Nächste-Nachbar-Definition erhaltene Konfiguration wird auf das Array aufkonfiguriert und ausgeführt.

Deutsche Patentanmeldung

Anmelder: PACT XPP Technologies AG  
Muthmannstraße 1  
5 D-80939 München

Vertreter: Patentanwalt  
Claus Peter Pietruk  
Heinrich-Lillienfein-Weg 5  
10 D-76229 Karlsruhe  
Vertreter-Nr. 321 605

Titel: Verfahren und Vorrichtung zur Datenverarbeitung

15

Patentansprüche

1. Multidimensionales Prozessorfeld aufweisend  
eine Vielzahl benachbart angeordneter Datenverarbei-  
20 tungszellen mit

Eingängen, die Daten von Vernetzungswegen erhalten,  
einer Operanden-Verknüpfungseinheit, die diese ent-  
sprechend der jeweiligen Funktion ihrer Operanden-  
Verknüpfungseinheit verknüpfen und

25 Ausgängen, um die Daten verknüpft auf Vernetzungs-  
wege aufzugeben,

dadurch gekennzeichnet, daß  
die Datenverarbeitungszellen ein Aspektverhältnis auf-  
weisen, das wenigstens 2:1, bevorzugt 2:1 beträgt.

30

2. Multidimensionales Prozessorfeld nach dem vorhergehenden  
Anspruch, dadurch gekennzeichnet, daß die Datenverarbei-

tungszellen als grobgranular konfigurierbare Zellen ausgebildet sind.

- 5 3. Multidimensionales Prozessorfeld nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß Datenverarbeitungszellen in Reihen und Spalten angeordnet sind.
- 10 4. Prozessorfeld nach dem vorhergehenden Anspruch, dadurch gekennzeichnet, daß zumindest bei einem Teil der Datenverarbeitungszellen Dateneingänge vorgesehen sind, um von einer oberen Reihe Daten zu erhalten und Datenausgänge, um an eine untere Reihe Daten auszugeben.
- 15 5. Prozessorfeld nach dem vorhergehenden Anspruch, dadurch gekennzeichnet, daß die Datenverarbeitungseinheiten EA-LUs, ALU und/oder registerflankierte Zellen sind.
- 20 6. Verfahren zur Konfigurierung eines Prozessorfeldes nach einem der vorhergehenden Ansprüche, worin Zellen für die Konfiguration ausgewählt und in Funktion und Vernetzung bestimmt werden, wobei eine Vernetzung derart bestimmt wird, daß Daten von Zelle zu Zelle zumindest weitgehend verzögerungsfrei übertragbar sind, dadurch gekennzeichnet, daß als benachbarte Zellen, zwischen denen Daten
  - 25 binnen eines Taktes oder einer geringen Taktzahl übertragbar sind, auch solche berücksichtigt werden, die nicht unmittelbar nebeneinander liegen, sondern in der Breite durch eine Strecke getrennt sind, die geringer
    - 30 ist als die Länge der Zelle.

.....

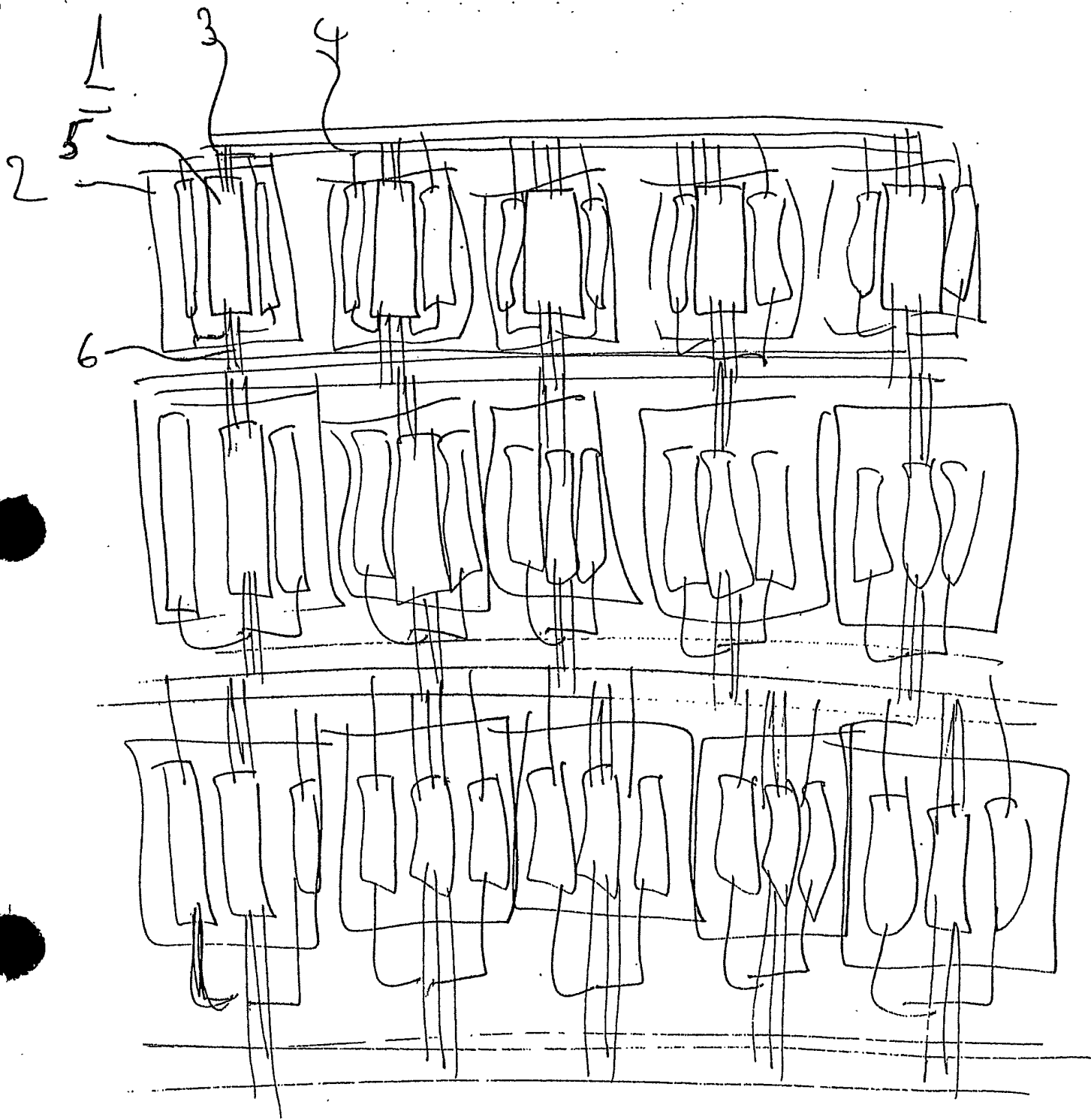


Fig 1

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☒ FADED TEXT OR DRAWING

☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☐ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**